

## **ETUDE ET INTEGRATION DE LA CHAINE DE DECODAGE DE LA NORME H264/AVC (IICT ET IQ) SOUS UNE PLATEFORME EMBARQUEE**

### **Contexte de l'étude :**

Etude et intégration de la chaîne de décodage de la norme H264/AVC (IICT : Inverse Integer Cosine Transform et IQ : Inverse Quantization) sous une plateforme embarquée

### **Mots clés :**

H264/AVC – Linux – PowerPC – FPGA – VHDL – Xilinx

### **Descriptif :**

Il convient d'étudier la norme H264/AVC decoder et de développer des blocs de propriété intellectuelle ou bloc IP (Intellectual Property) dans un premier temps. Dans un deuxième temps, il convient de mettre en place  $\mu$ Clinux (système d'exploitation embarqué) sur un processeur PowerPC qui est un processeur Hardcore de la firme Xilinx ainsi qu'intégrer le décodeur H264/AVC tout en logiciel.

Après le développement des différents blocs IP afin de bénéficier de la performance du matériel une approche de conception conjointe ou codesign est adoptée pour un meilleur partitionnement entre matériel et logiciel prenant en compte les contraintes de l'embarqué.

### **Matériels disponibles :**

PC – carte Xilinx Virtex 5 – ISE - Linux